

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 1 2 日
Date of Application:

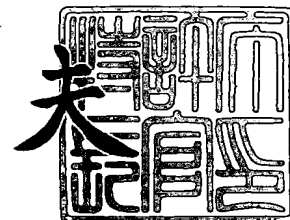
出 願 番 号 特 願 2 0 0 3 - 4 1 4 8 1 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 4 1 4 8 1 7]

出 願 人 株式会社リコー
Applicant(s):

2 0 0 4 年 1 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 1 0 3 3 2

【書類名】 特許願
【整理番号】 0308944
【提出日】 平成15年12月12日
【あて先】 特許庁長官殿
【国際特許分類】 G03G 21/00
【発明者】
 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内
 【氏名】 高橋 敏男
【特許出願人】
 【識別番号】 000006747
 【氏名又は名称】 株式会社リコー
【代理人】
 【識別番号】 100089118
 【弁理士】
 【氏名又は名称】 酒井 宏明
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-382155
 【出願日】 平成14年12月27日
【手数料の表示】
 【予納台帳番号】 036711
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9808514

【書類名】 特許請求の範囲**【請求項 1】**

着脱可能であってセクタ単位のアクセスが必要なカード型メモリと電子機器本体を接続するカード型メモリのインターフェース回路において、

前記カード型メモリからリードした少なくとも複数セクタ分のデータを格納するバッファと、

前記電子機器本体側の CPU からの前記カード型メモリへのリードアクセスに対し、そのリードアクセスデータが前記バッファに格納されているいずれかのセクタ内のデータである場合には前記バッファから前記リードアクセスデータを前記 CPU に送信する送信手段と、

を備えたことを特徴とするカード型メモリのインターフェース回路。

【請求項 2】

前記送信手段は、さらに、前記リードアクセスデータが前記バッファに格納されているいずれのセクタ内のデータでない場合に、該当するデータが読み出された時期が一番古いセクタのデータを破棄するとともに、前記リードアクセスデータを含むセクタデータを前記カード型メモリから読み出して前記バッファに格納後、前記バッファから前記リードアクセスデータを前記 CPU に送信することを特徴とする請求項 1 に記載のカード型メモリのインターフェース回路。

【請求項 3】

前記カード型メモリは、SD カードであることを特徴とする請求項 1 に記載のカード型メモリのインターフェース回路。

【請求項 4】

前記バッファは、少なくとも前記カード型メモリからリードした少なくとも 2 セクタ分のデータを格納することを特徴とする請求項 1 に記載のカード型メモリのインターフェース回路。

【請求項 5】

画像処理機能、画像入出力機能及びデータ通信機能の 1 以上のアプリケーション機能を有し、各アプリケーション機能がメモリ及びハードディスクの 1 以上を共有資源として利用可能に構成された設計された ASIC において、

着脱可能であってセクタ単位のアクセスが必要なカード型メモリからリードした少なくとも複数セクタ分のデータを格納するバッファと、前記電子機器本体側の CPU からの前記カード型メモリへのリードアクセスに対し、そのリードアクセスデータが前記バッファに格納されているいずれかのセクタ内のデータである場合には前記バッファから前記リードアクセスデータを前記 CPU に送信する送信手段とを有するインターフェース回路

を備えたことを特徴とする ASIC。

【請求項 6】

前記送信手段は、さらに、前記リードアクセスデータが前記バッファに格納されているいずれのセクタ内のデータでない場合に、該当するデータが読み出された時期が一番古いセクタのデータを破棄するとともに、前記リードアクセスデータを含むセクタデータを前記カード型メモリから読み出して前記バッファに格納後、前記バッファから前記リードアクセスデータを前記 CPU に送信することを特徴とする請求項 5 に記載の ASIC。

【請求項 7】

前記カード型メモリは、SD カードであることを特徴とする請求項 5 に記載の ASIC。

【請求項 8】

前記バッファは、少なくとも前記カード型メモリからリードした少なくとも 2 セクタ分のデータを格納することを特徴とする請求項 5 に記載の ASIC。

【請求項 9】

画像処理機能、画像入出力機能及びデータ通信機能の 1 以上のアプリケーション機能を有する画像形成装置において、

各アプリケーション機能がメモリ及びハードディスクの 1 以上を共有資源として利用可能に構成された設計された A S I C を備え、

前記 A S I C は、着脱可能であってセクタ単位のアクセスが必要なカード型メモリからリードした少なくとも複数セクタ分のデータを格納するバッファと、前記電子機器本体側の C P U からの前記カード型メモリへのリードアクセスに対し、そのリードアクセスデータが前記バッファに格納されているいずれかのセクタ内のデータである場合には前記バッファから前記リードアクセスデータを前記 C P U に送信する送信手段とを有するインターフェース回路

を備えたことを特徴とする画像形成装置。

【請求項 1 0】

前記送信手段は、さらに、前記リードアクセスデータが前記バッファに格納されているいずれのセクタ内のデータでない場合に、該当するデータが読み出された時期が一番古いセクタのデータを破棄するとともに、前記リードアクセスデータを含むセクタデータを前記カード型メモリから読み出して前記バッファに格納後、前記バッファから前記リードアクセスデータを前記 C P U に送信することを特徴とする請求項 9 に記載の画像形成装置。

【請求項 1 1】

前記カード型メモリは、S D カードであることを特徴とする請求項 9 に記載の画像形成装置。

【請求項 1 2】

前記バッファは、少なくとも前記カード型メモリからリードした少なくとも 2 セクタ分のデータを格納することを特徴とする請求項 9 に記載の画像形成装置。

【請求項 1 3】

前記カード型メモリに格納されているプログラムを直接実行することを特徴とする請求項 9 に記載の画像形成装置。

【書類名】明細書

【発明の名称】 カード型メモリのインターフェース回路、その回路を搭載したA S I C、及びそのA S I Cを搭載した画像形成装置

【技術分野】**【0001】**

本発明は、S D (Secure Digital) カードなどのように着脱可能であってセクタ単位のアクセスが必要なカード型メモリのインターフェース回路、その回路を搭載したA S I C、及びそのA S I Cを搭載した画像形成装置に関する。

【背景技術】**【0002】**

プリンタやコピー、M F P (マルチ・ファンクション・ペリフェラル) といった機器のソフトウェアの書き換え手段として、メモリカードやネットワークなどのホストインターフェースからのダウンロードがある。しかし、フィールドサポートなどにおけるメンテナンスやソフトウェアのアップデートを行おうとすると、ユーザのシステム環境を使用できるとは限らないことから、ホストインターフェースが利用できるとは限らないのが現状である。

【0003】

このため、確実に利用できる手段として、メモリカードインターフェースを基板上に設けている。メモリカードに対するアクセスは、R A M と同様に扱えることから、ソフトウェアによるインターフェース初期化などの処理は必要なかった。また、メモリカード上でプログラムを実行することも可能であった。しかし、メモリカードは1枚あたりの容量がせいぜい4メガバイトと小さい上に、最近では入手しにくくなってきた。

【0004】

そこで、近年では例えば特許文献1のように、メモリーカードの代替として、S D カードが採用されている。S D カードはフロッピー (登録商標) ディスクのような携帯可能なメディアとして注目され、カードサイズに比べ記録容量が大きいことから、画像データや音声データの記録、再生用に採用され始めている。S D カードへのリードアクセスに限定することにより、B I O S を必要とせずにS D カードへのアクセスが可能になるほか、C P U のアクセスに応じて必要なデータだけを読み出せるため、R A M へのデータコピーをせず、S D カード上でプログラムの実行が可能になる。また、通信エラーが発生した場合に、通信速度を自動で段階的に落としていき、エラーが発生しないところで処理を継続するようにすることで、ソフトウェアやハードウェアを変更せずにデータ通信を行うことが可能になる。

【0005】

【特許文献1】 特開平11-242596号公報、図1

【発明の開示】**【発明が解決しようとする課題】****【0006】**

しかしながら、バッファサイズが1セクタ分しか搭載していないS D カードインターフェースでは、ジャンプ命令等でプログラムが複数のセクタにまたがる場合に、カード型メモリからの読み出しにかかるオーバーヘッドの影響が大きいので、プログラムの実行速度が遅いという欠点がある。

【0007】

本発明は上記従来例の問題点に鑑み、カード型メモリからの読み出しにかかるオーバーヘッドの影響を少なくしてプログラムの実行速度を向上させることができるカード型メモリのインターフェース回路、その回路を搭載したA S I C、及びそのA S I Cを搭載した画像形成装置を提供することを目的とする。

【課題を解決するための手段】**【0008】**

上記課題を解決するため、請求項1にかかる発明は、着脱可能であってセクタ単位のア

クセスが必要なカード型メモリと電子機器本体を接続するカード型メモリのインターフェース回路において、前記カード型メモリからリードした少なくとも複数セクタ分のデータを格納するバッファと、前記電子機器本体側のCPUからの前記カード型メモリへのリードアクセスに対し、そのリードアクセスデータが前記バッファに格納されているいずれかのセクタ内のデータである場合には前記バッファから前記リードアクセスデータを前記CPUに送信する送信手段と、を備えたことを特徴とする。

【0009】

また、請求項2にかかる発明は、前記送信手段は、さらに、前記リードアクセスデータが前記バッファに格納されているいずれのセクタ内のデータでない場合に、該当するデータが読み出された時期が一番古いセクタのデータを破棄するとともに、前記リードアクセスデータを含むセクタデータを前記カード型メモリから読み出して前記バッファに格納後、前記バッファから前記リードアクセスデータを前記CPUに送信することを特徴とする。

【0010】

例えば図1、図2に示すようにSDカードインターフェース14は、SDカード4からリードした少なくとも2セクタ分のデータを格納するバッファ143aを有し、画像形成装置本体側のCPU5からのSDカード4へのリードアクセスに対し、そのリードアクセスデータがバッファ143aに格納されているいずれかのセクタ内のデータである場合にはバッファ143aからリードアクセスデータをCPU5に送信し、そのリードアクセスデータがバッファ143aに格納されているいずれのセクタ内のデータでない場合に、該当するデータが読み出された時期が一番古いセクタのデータを破棄するとともに、リードアクセスデータを含むセクタデータをSDカード4から読み出してバッファ143aに格納後、バッファ143aからリードアクセスデータをCPU5に送信する。

【0011】

上記構成により、電子機器本体側のCPUからのアクセスがカード型メモリのセクタをまたがっても、そのデータのある期間保持しておくことで、セクタ境界のプログラム実行や、短いサイズのサブ関数実行におけるデータ読み出しのオーバーヘッドを軽減できるようになり、これにより、プログラムの実行速度を向上させることができる。

【0012】

また、請求項3にかかる発明は、前記カード型メモリは、SDカードであることを特徴とする。

【0013】

上記構成により、電子機器本体側のCPUからのアクセスがSDカードのセクタをまたがっても、そのデータのある期間保持しておくことで、セクタ境界のプログラム実行や、短いサイズのサブ関数実行におけるデータ読み出しのオーバーヘッドを軽減できるようになり、これにより、プログラムの実行速度を向上させることができる。

【0014】

また、請求項4にかかる発明は、前記バッファは、少なくとも前記カード型メモリからリードした少なくとも2セクタ分のデータを格納することを特徴とする。

【0015】

また、請求項5にかかる発明は、画像処理機能、画像入出力機能及びデータ通信機能の1以上のアプリケーション機能を有し、各アプリケーション機能がメモリ及びハードディスクの1以上を共有資源として利用可能に構成された設計されたASICにおいて、着脱可能であってセクタ単位のアクセスが必要なカード型メモリからリードした少なくとも複数セクタ分のデータを格納するバッファと、前記電子機器本体側のCPUからの前記カード型メモリへのリードアクセスに対し、そのリードアクセスデータが前記バッファに格納されているいずれかのセクタ内のデータである場合には前記バッファから前記リードアクセスデータを前記CPUに送信する送信手段とを有するインターフェース回路を備えたことを特徴とする。

【0016】

また、請求項 6 にかかる発明は、前記送信手段は、さらに、前記リードアクセスデータが前記バッファに格納されているいずれのセクタ内のデータでない場合に、該当するデータが読み出された時期が一番古いセクタのデータを破棄するとともに、前記リードアクセスデータを含むセクタデータを前記カード型メモリから読み出して前記バッファに格納後、前記バッファから前記リードアクセスデータを前記 C P U に送信することを特徴とする。

【 0 0 1 7 】

上記構成により、カード型メモリに記憶されているプログラムなどを A S I C を介して電子機器にダウンロードする場合に、プログラムの実行速度を向上させることができる。

【 0 0 1 8 】

また、請求項 7 にかかる発明は、前記カード型メモリは、S D カードであることを特徴とする。

【 0 0 1 9 】

上記構成により、電子機器本体側の C P U からのアクセスが S D カードのセクタをまたがっても、そのデータのある期間保持しておくことで、セクタ境界のプログラム実行や、短いサイズのサブ関数実行におけるデータ読み出しのオーバーヘッドを軽減できるようになり、これにより、プログラムの実行速度を向上させることができる。

【 0 0 2 0 】

また、請求項 8 にかかる発明は、前記バッファは、少なくとも前記カード型メモリからリードした少なくとも 2 セクタ分のデータを格納することを特徴とする。

【 0 0 2 1 】

また、請求項 9 にかかる発明は、画像処理機能、画像入出力機能及びデータ通信機能の 1 以上のアプリケーション機能を有する画像形成装置において、各アプリケーション機能がメモリ及びハードディスクの 1 以上を共有資源として利用可能に構成された設計された A S I C を備え、前記 A S I C は、着脱可能であってセクタ単位のアクセスが必要なカード型メモリからリードした少なくとも複数セクタ分のデータを格納するバッファと、前記電子機器本体側の C P U からの前記カード型メモリへのリードアクセスに対し、そのリードアクセスデータが前記バッファに格納されているいずれかのセクタ内のデータである場合には前記バッファから前記リードアクセスデータを前記 C P U に送信する送信手段とを有するインターフェース回路を備えたことを特徴とする。

【 0 0 2 2 】

また、請求項 1 0 にかかる発明は、前記送信手段は、さらに、前記リードアクセスデータが前記バッファに格納されているいずれのセクタ内のデータでない場合に、該当するデータが読み出された時期が一番古いセクタのデータを破棄するとともに、前記リードアクセスデータを含むセクタデータを前記カード型メモリから読み出して前記バッファに格納後、前記バッファから前記リードアクセスデータを前記 C P U に送信することを特徴とする。

【 0 0 2 3 】

上記構成により、電子機器本体側の C P U からのアクセスがカード型メモリのセクタをまたがっても、そのデータのある期間保持しておくことで、セクタ境界のプログラム実行や、短いサイズのサブ関数実行におけるデータ読み出しのオーバーヘッドを軽減できるようになり、これにより、プログラムの実行速度を向上させることができる。

【 0 0 2 4 】

また、請求項 1 1 にかかる発明は、前記カード型メモリは、S D カードであることを特徴とする。

【 0 0 2 5 】

上記構成により、電子機器本体側の C P U からのアクセスが S D カードのセクタをまたがっても、そのデータのある期間保持しておくことで、セクタ境界のプログラム実行や、短いサイズのサブ関数実行におけるデータ読み出しのオーバーヘッドを軽減できるようになり、これにより、プログラムの実行速度を向上させることができる。

【0026】

また、請求項12にかかる発明は、前記バッファは、少なくとも前記カード型メモリからリードした少なくとも2セクタ分のデータを格納することを特徴とする。

【0027】

また、請求項13にかかる発明は、前記カード型メモリに格納されているプログラムを直接実行することを特徴とする。

【0028】

上記構成により、画像形成装置のソフトウェア開発の効率化を図ることが可能となる。

【発明の効果】**【0029】**

以上説明したように本発明によれば、電子機器本体側のCPUからのアクセスがSDカードのセクタをまたがっても、そのデータをある期間保持しておくことで、セクタ境界のプログラム実行や、短いサイズのサブ関数実行におけるデータ読み出しのオーバーヘッドを軽減できるようになり、これにより、プログラムの実行速度を向上させることができるという効果を奏する。

【発明を実施するための最良の形態】**【0030】**

以下に添付図面を参照して、この発明にかかるカード型メモリのインターフェース回路、その回路を搭載したASIC、及びそのASICを搭載した画像形成装置の最良な実施の形態を詳細に説明する。

【0031】

図1は本発明に係るSDカードインターフェースを内蔵したASICを備えた画像形成装置の一実施形態を示すブロック図、図2は図1のSDカードインターフェースを詳しく示すブロック図である。

【0032】

図1において、ASIC（特定用途向けIC）10は画像入出力機能、画像処理機能及びデータ通信等の複数のアプリケーション機能を有し、各アプリケーション機能がメモリ6、HDD（ハードディスクドライブ）1内のハードディスク等を共通資源として利用可能に設計され、ASIC10には、HDD1と、PHYデバイス（ネットワークデバイス）2と、PHYデバイス（USBデバイス）3と、SDカード4と、画像形成装置本体側のCPU5、メモリ6、プリンタエンジン20及びIEEE1284デバイス17が接続される。HDD1は画像データやプログラムを格納し、CPU5は画像形成装置全体の制御を行い、メモリ6はランダムアクセス可能である。なお、プリンタエンジン20は記録媒体に可視画像を形成する画像形成手段として機能し、IEEE1284インターフェース17を使用して外部から転送されてくる画像データ、PHYデバイス2、3から転送されてくる画像データ、HDD1、SDカード4などに格納されていた画像データに基づいて画像を形成することが可能であり、プリンタエンジン20とシステムを組むことによりASIC10を備えたプリンタ、コピー装置、ファクシミリなどの画像形成装置を構成する。

【0033】

ASIC10には詳しくは、メモリ・アービタ30と、メモリ・アービタ30とHDD（ハードディスクドライブ）1を接続するためのHDDインターフェイス11及びDMAコントローラ21と、メモリ・アービタ30とPHYデバイス2を接続するためのネットワークインターフェイス12及びDMAコントローラ22と、メモリ・アービタ30とPHYデバイス3を接続するためのUSBインターフェイス13及びDMAコントローラ23と、メモリ・アービタ30（及びメモリコントローラ16）とSDカード4を接続するためのSDカードインターフェイス14及びDMAコントローラ24と、メモリ・アービタ30とCPU5を接続するためのCPUインターフェイス15と、メモリ・アービタ30（及びSDカードインターフェイス14）とメモリ6を接続するためのメモリコントローラ16と、メモリ・アービタ30と不図示のIEEE1284デバイス、プリンタエン

ジンをそれぞれ接続するためのIEEE1284インターフェイス17、プリンタエンジンインターフェイス18が設けられている。

【0034】

すなわち、ハードディスクやネットワークなど、複数のアプリケーションに加え、SDカードインターフェイス14がメモリアービタ30を介したDMAコントローラ24によるデータ転送パスと、ランダムアクセス用のメモリコントローラ16へのパスで接続されている。この構成により、SDカード4からメモリ6だけではなくHDD1やネットワークデバイス、USBデバイスのインターフェース12、13間でのデータ転送も可能になる。

【0035】

図2はSDカードインターフェイス14の構成例を詳しく示す。SDカードコントローラ141は、SDカード4の規格に準じてSDカード4とのデータの通信を実際に行う部分である。制御回路145は、CPU5からの制御コマンドをSDカードコントローラ141に与えたり、SDカード4にたいしDMA転送を使用するか、ランダムアクセスを使用するかを選択するためにマルチプレクサ144の切替を行う回路ブロックである。

【0036】

DMAインターフェース142は、SDカードコントローラ141（及びマルチプレクサ144）と図1におけるDMAコントローラ24との間にあり、両者のインターフェースの整合を取り、DMAにより転送を可能とする回路ブロックである。RAMアクセスインターフェース143は、図1におけるメモリ（RAM）コントローラ16もしくはCPUインターフェース15とSDカードコントローラ141（及びマルチプレクサ144）との間にあり、両者のインターフェースの整合を取る回路ブロックである。

【0037】

RAMアクセスインターフェース143内には、複数セクタ分（512バイト×Nセクタ）のバッファ（RAM）143aを内蔵し、このバッファ143aにSDカード4の複数セクタ分のデータを蓄えることができるようになっている。CPU5からのリードアクセスに対し、このバッファ143aに格納されているセクタ範囲内のデータであれば、SDカード4からのデータ読み出しを経ることなく、バッファ143aからデータを読み出すことができる。これにより、SDカード4へのアクセスを最小限に抑えるようにしている。

【0038】

次に、以上のように構成された本実施の形態にかかる画像形成装置の初期化処理について説明する。本実施の形態の画像形成装置では、SDカード4にブートプログラムが格納されている。従来、ブートプログラムなどのシステムプログラムはROM等のメモリ6に組み込まれコントローラボードなどの基板上に実装されていたが、本実施の形態にかかる画像形成装置では、SDカード4に格納しておくことにより、ピット単価を抑え、開発費用を低減させている。また、SDカード4に格納されているシステムプログラムを変更することはROMに組み込まれたプログラムの変更よりも容易に行えるので、画像形成装置のバージョンアップや修正プログラムによる変更等を容易に実現することができるようにしている。

【0039】

図3は、本実施の形態にかかる画像形成装置の初期化処理の手順を示すフローチャートである。本実施の形態の画像形成装置は電源が投入されると初期化処理が実行される。画像形成装置は、まずCPU5がシステムリセットの解除を行う（ステップS301）。そして、CPU5の起動後SDカード4に格納されているブートプログラムを読み出しながら実行する（ステップS302）。具体的には、SDカード4に格納されているブートプログラムをRAMにコピーする。次いで、RAM上にコピーされたブートプログラムを実行する（ステップS303）。

【0040】

なお、本実施の形態では、SDカード4にブートプログラムが格納された構成となつて

いるが、コントローラボード上のフラッシュメモリ等の書き換え可能な不揮発性メモリにブートプログラムなどのシステムプログラムを格納しておき、SDカード4に新たなバージョンのシステムプログラムを格納しておき、SDカードに格納されたシステムプログラムで不揮発性メモリ内のシステムプログラムを更新するように構成してもよい。

【0041】

図4は、SDカードインターフェイス14によるSDカード4の初期化手順を示したフローチャートの一例である。初期化はシーケンシャルな処理で済むものであり、手順さえ間違わなければさほど難しいものではない。問題になるのは、カード未挿入や適用外のカード挿入によるエラーが発生した場合である。カード未挿入の場合、一定時間の間はカード挿入の確認を継続することも可能である。

【0042】

本システムでは、SDカードインターフェイス14におけるハードウェアでの初期化処理の使用目的を限定することで、エラーの発生を抑えることにしている。つまり、ソフトウェアのアップデートや自己診断プログラムの実行など、サービスエンジニアなどによる特定の作業に限定することである。

【0043】

図4は、図1のSDカードインターフェイスによるSDカード初期化処理の手順を示すフローチャートである。図4を参照して詳しく説明する。まず、SDカード4が初期化済みか否かを判断し（ステップS401）、初期化済みでなければSDインターフェースリセット解除を実行する（ステップS402）。次いでカード4の挿入を確認し（ステップS403、S404）、カード4があればステップS405に進み、他方、カード4がなければステップS401に戻る。

【0044】

ステップS405以下の処理では、SDクロック設定（ステップS405）、SDカード初期化（ステップS406）、動作電圧設定（ステップS407）、カードID取得（ステップS408）、カードアドレス取得（ステップS409）、カードサイズ取得（ステップS410）、ブロック長設定（ステップS411）、データバス幅設定（ステップS412）、カードステータス取得（ステップS413）、初期化済みフラグのセット（ステップS415）を実行する。また、エラーが発生した場合にはカードみ挿入フラグをセットし（ステップS414）、次いでステップS415に進む。

【0045】

図5は、上記ステップS410におけるカードサイズ取得の処理の手順を示すフローチャートである。また、図6は、SDカードのメモリマップの一例を示す説明図である。上記ステップS410におけるカードサイズ取得処理では、SDカードの記憶容量に応じたユーザ領域のオフセットアドレスが求められる。

【0046】

まず、SDカード4のユーザ領域サイズ（C_SIZE）を取得する（ステップS501）。そして、SDカードのデバイスサイズ乗率（C_SIZE_MULT）を取得する（ステップS502）。次に、次式によりカードサイズ（card_size）を算出する（ステップS503）。

$$\text{card_size} = \text{C_SIZE} / [2^{(9 - \text{C_SIZE_MULT})}]$$

【0047】

次に、カードサイズ（card_size）に応じたオフセットアドレス（sd_offset）を決定する（ステップS504）。

【0048】

このようなカードサイズの取得処理により、ユーザデータの領域サイズが求められる。ユーザ領域サイズからSDカード4の公称サイズがわかり、オフセットアドレス（ad_offset）を得ることができる。SDカードの領域の中でCPU5に解放されている領域はユーザ領域だけである。従って、CPU5からのアクセスされるアドレス（セグメントアドレス：rd_addr）にオフセットアドレス（sd_offset）を加算した

アドレスが読み出し対象領域のアドレスとなる。SDカード4へのアクセスは、1セクタを例えば512バイトとすると、読み出すべきセクタ番号 (sector_num) は、次式で求められる。

$$\text{sector_num} = (\text{rd_adr} + \text{sd_offset}) >> 9$$

【0049】

図7は、CPU5からSDカード4に対するリードアクセスがあった場合の処理を説明するためのフローチャートの一例として、2セクタ分のバッファ143aを有する場合を示している。この回路もシーケンス処理になる。図3の初期化処理が終了するまでは、起動しない仕組みとなっている。初期化が終了した時点でSDカード4を認識できなかった場合は、シーケンサを停止させる。このことは、前述のとおり用途を限定することで、問題のない範疇になる。図7はSDカードへのリードアクセスのみを記述しているため、CPU5からのアクセス要求がリードアクセス以外の場合はアクセスエラーを返す仕組みになっている。

【0050】

CPU5からのリード要求データ量がバッファ143a内に格納されている2セクタのいずれかと同じSDカード4上のセクタの範囲内であるならば、バッファ143aにすでにデータが存在することになる。その場合は、要求されたデータを即座にバッファ143aからCPU5へ返すことになる。このとき、アクセスされたセクタ領域を領域=0と定義し、常に領域=0が最後にアクセスされたセクタであるように管理する。

【0051】

もし、要求されたデータがすでにバッファ143aに格納されているセクタの範囲外であるならば、シーケンサはセクタ領域=1のセクタデータを破棄し、領域=0のセクタデータを領域1=に移動する（バンク切換えでもよい）。SDカード4から該当するセクタデータを読み出す処理を実行し、領域=0にデータを格納する。そして、CPU5から要求のあったアドレスのデータを返す。この動作により、CPU5はSDカード4を意識することなくSDカード4内の任意のアドレスのデータを読み出すことが可能になる。

【0052】

図7は、図1のSDカードインターフェースによるCPUリードアクセス処理の手順を示すフローチャートである。図7を参照して詳しく説明する。まず、図3の初期化処理が終了しているか否かを判断する（ステップS701）。そして、初期化済みであれば、SDカード4の有無を判断する（ステップS702）。SDカード4がなければこの処理を終了し、他方、SDカード4があれば、SDカード4に対するアクセス要求があったか否かを判断する（ステップS703）。そして、アクセス要求がない場合にはステップS703に戻る。一方、アクセス要求があった場合には、その要求がリード要求であるか否かを判断する（ステップS704）。

【0053】

SDカード4に対するリード要求である場合には、ステップS705に進み、他方、リード要求でない場合にはエラー応答を実行し（ステップS712）、次いでステップS703に戻る。

【0054】

ステップS705ではリードアクセスデータがセクタ領域=0にあるか否かを判断し（ステップS705）、セクタ領域=0になればステップS706に進み、他方、セクタ領域=0にあればステップS711に進んでセクタ領域=0内のリードアクセスデータをリードし、そのリードデータをCPU5に応答する（ステップS711）。

【0055】

ステップS706ではリードアクセスデータがセクタ領域=1にあるかを判断し、セクタ領域=1になればステップS707に進み、他方、セクタ領域=1にあればセクタ領域=0のデータとセクタ領域=1のデータを入れ替え（ステップS713）、次いでステップS711に進んでセクタ領域=0内のリードアクセスデータをリードし、そのリードデータをCPU5に応答する。

【0056】

ステップS707ではセクタ領域=0のデータをセクタ領域=1に移動し、次いでSDカード4に対してセクタリードコマンドを発行する(ステップS708)。次いでセクタリード終了まで待機し(ステップS709)、セクタリードが終了するとそのセクタデータをセクタ領域=0に書き込み(ステップS710)、次いでセクタ領域=0内のリードアクセスデータをリードし、そのリードデータをCPU5に応答し(ステップS711)、次いでステップS703に戻る。

【0057】

このように本実施の形態の画像形成装置では、CPU5からのアクセスがSDカード4のセクタをまたがっても、そのデータがある期間保持しておくことで、セクタ境界のプログラム実行や、短いサイズのサブ関数実行におけるデータ読み出しのオーバーヘッドを軽減できるようになり、これにより、プログラムの実行速度を向上させることができる。

【0058】

なお、本実施の形態では、バッファに2セクタ分のサイズの領域を有しているが、3セクタ以上の領域を有するように構成してもよい。

【図面の簡単な説明】

【0059】

【図1】本発明に係るSDカードインターフェースを内蔵したASICを備えた画像形成装置の一実施形態を示すブロック図である。

【図2】図1のSDカードインターフェースを詳しく示すブロック図である。

【図3】本実施の形態にかかる画像形成装置の初期化処理の手順を示すフローチャートである。

【図4】図1のSDカードインターフェースによるSDカード初期化処理の手順を示すフローチャートである。

【図5】カードサイズ取得の処理の手順を示すフローチャートである。

【図6】SDカードのメモリマップの一例を示す説明図である。

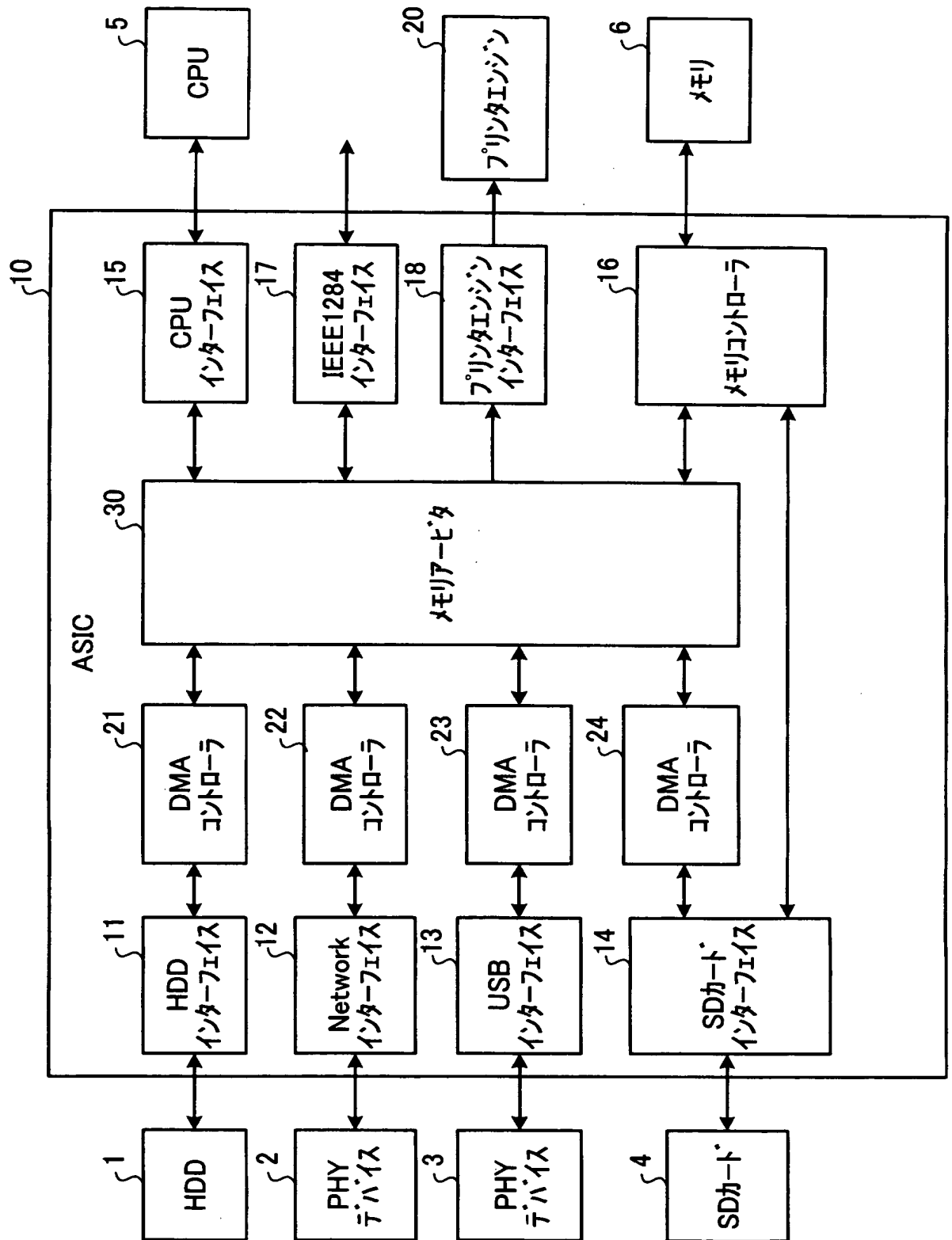
【図7】図1のSDカードインターフェースによるCPUリードアクセス処理を説明するためのフローチャートである。

【符号の説明】

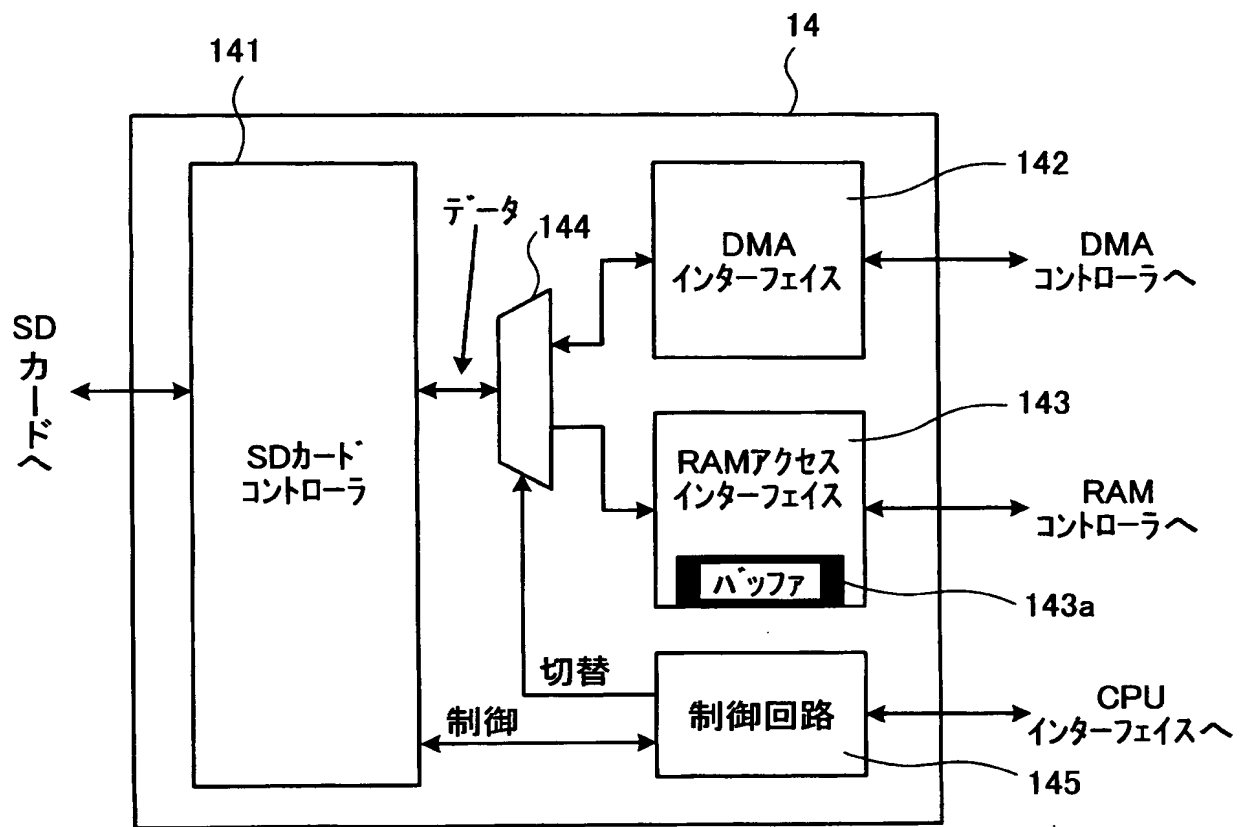
【0060】

- 4 SDカード
- 5 CPU
- 10 ASIC
- 14 SDカードインターフェース
 - 141 SDカードコントローラ
 - 142 DMAインターフェース
 - 143 RAMアクセスインターフェース
 - 143a バッファ(RAM)
 - 144 マルチプレクサ
 - 145 制御回路

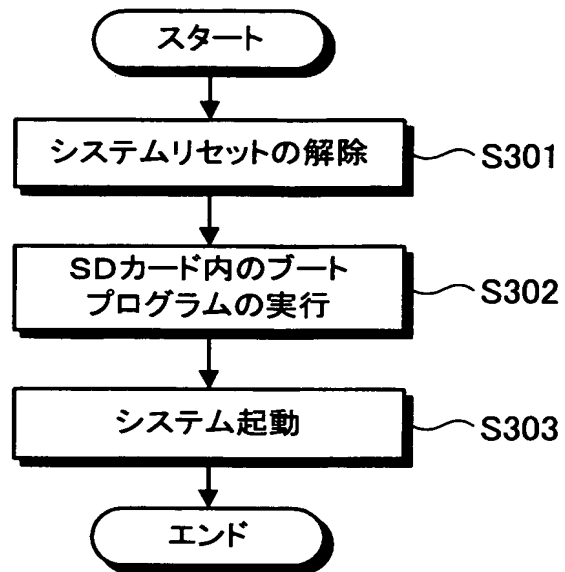
【書類名】 図面
【図 1】



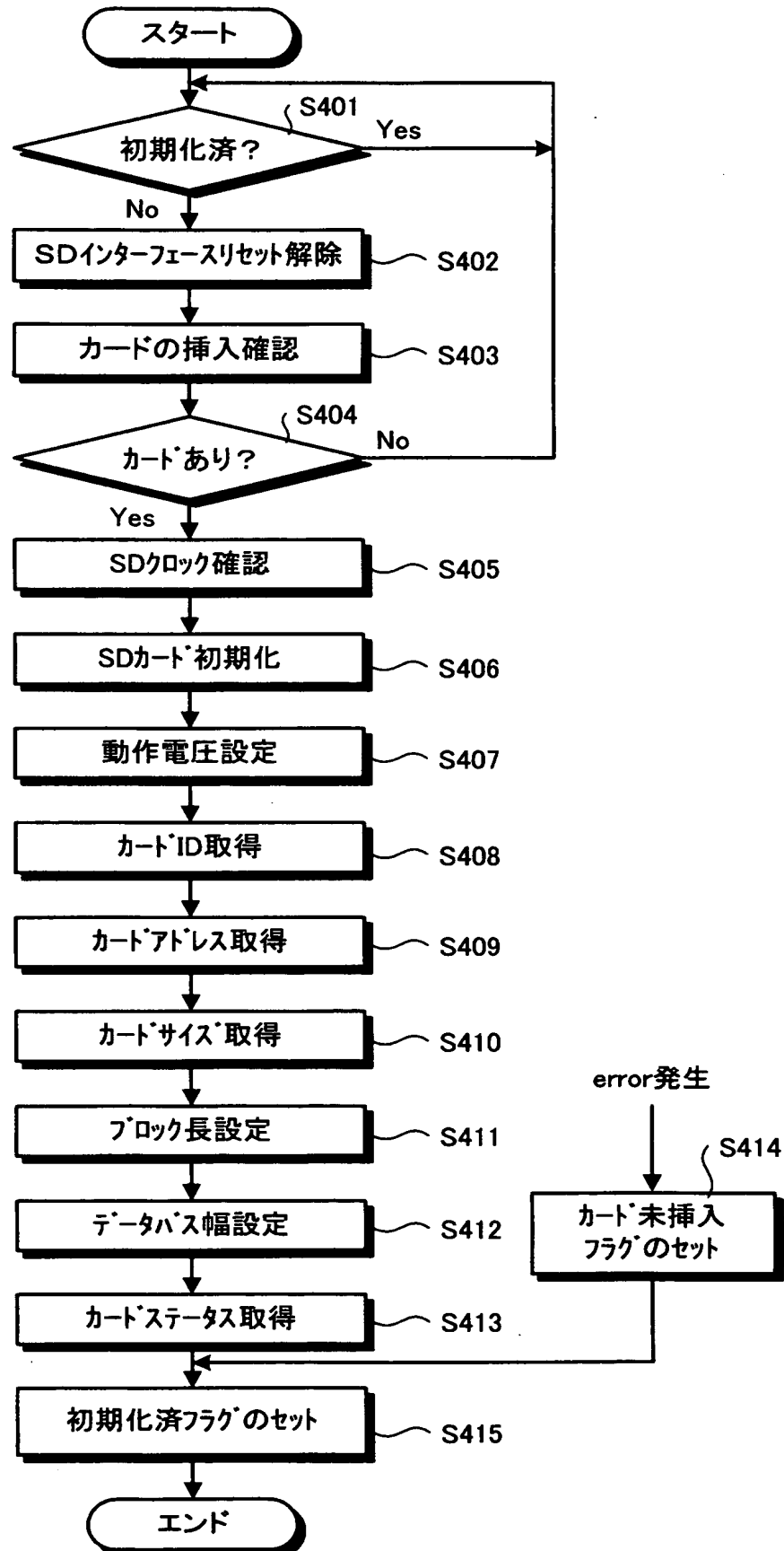
【図 2】



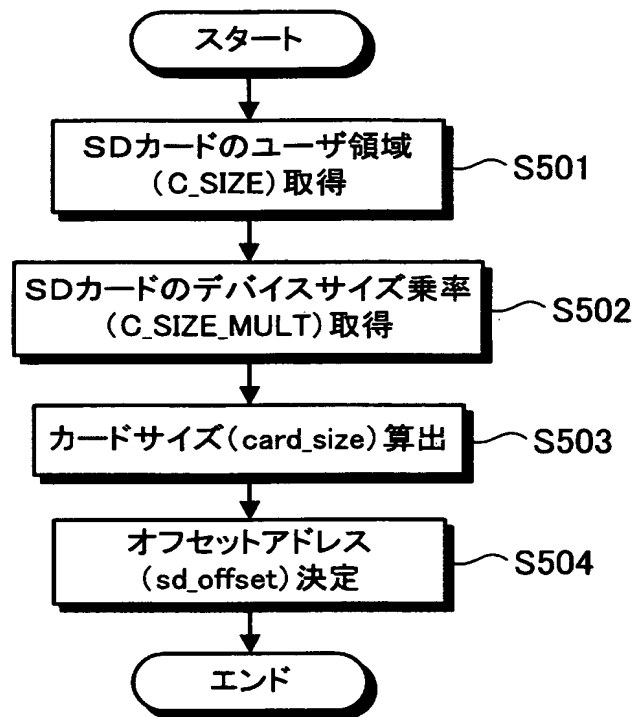
【図 3】



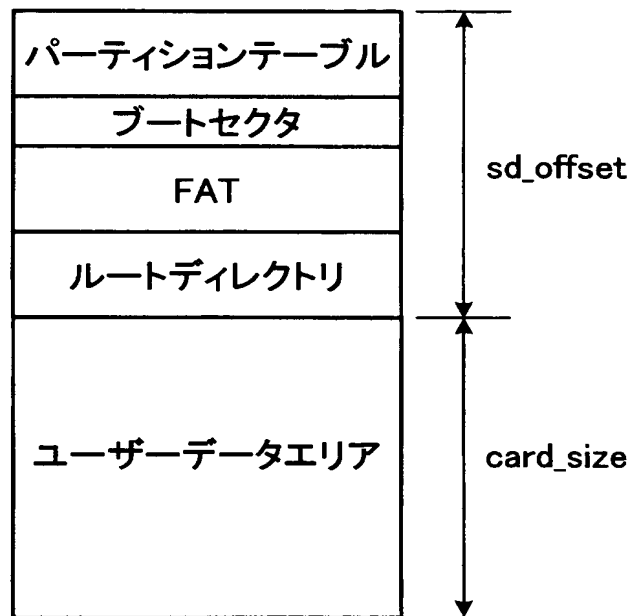
【図 4】



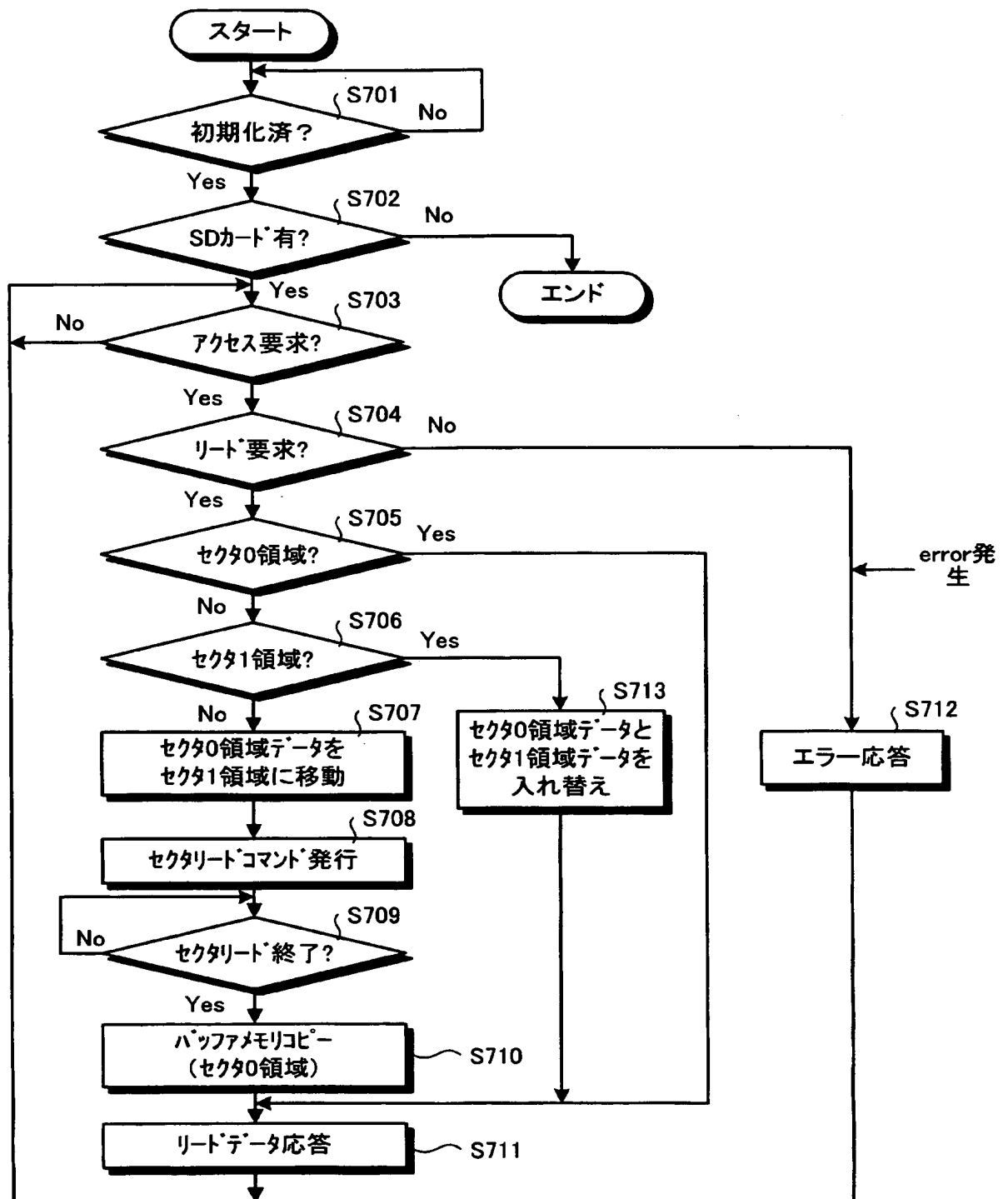
【図 5】



【図 6】



【図 7】



【書類名】 要約書**【要約】**

【課題】 カード型メモリからの読み出しにかかるオーバヘッドの影響を少なくしてプログラムの実行速度を向上させる。

【解決手段】 S D カードインターフェース 1 4 は、S D カード 4 からリードした少なくとも 2 セクタ分のデータを格納するバッファ 1 4 3 a を有し、画像形成装置本体側の C P U 5 からの S D カード 4 へのリードアクセスに対し、そのリードアクセスデータがバッファ 1 4 3 a に格納されているいずれかのセクタ内のデータである場合にはバッファ 1 4 3 a からリードアクセスデータを C P U 5 に送信し、そうでない場合には、該当するデータが読み出された時期が一番古いセクタのデータを破棄するとともに、リードアクセスデータを含むセクタデータを S D カード 4 から読み出してバッファ 1 4 3 a に格納後、バッファ 1 4 3 a からリードアクセスデータを C P U 5 に送信する。

【選択図】 図 7

特願 2 0 0 3 - 4 1 4 8 1 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 7 4 7]

1. 変更年月日

2 0 0 2 年 5 月 1 7 日

[変更理由]

住所変更

住 所

東京都大田区中馬込 1 丁目 3 番 6 号

氏 名

株式会社リコー